

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-252003

(43)公開日 平成9年(1997)9月22日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/321			H 01 L 21/92	6 0 4 B
21/304	3 2 1		21/304	3 2 1 S
21/306			21/306	M
			21/92	6 0 4 A

審査請求 未請求 請求項の数8 OL (全5頁)

(21)出願番号 特願平8-59304

(22)出願日 平成8年(1996)3月15日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 吉原 通之

千葉県茂原市早野3681番地 日立デバイス  
エンジニアリング株式会社内

(72)発明者 五味 和男

千葉県茂原市早野3681番地 日立デバイス  
エンジニアリング株式会社内

(74)代理人 弁理士 秋田 収喜

最終頁に続く

(54)【発明の名称】 バンプの形成方法及びバンプを有する半導体装置の製造方法

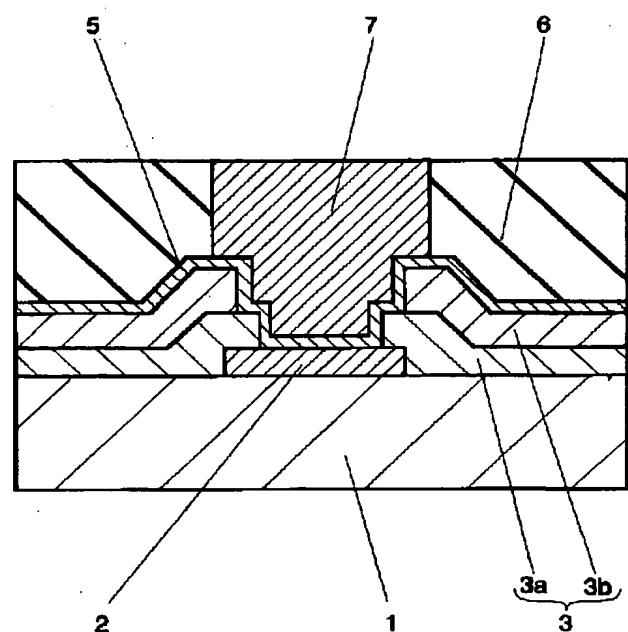
(57)【要約】 (修正有)

【課題】 バンプ高さの誤差を減少させ、ボンディング不良を防止する。

【解決手段】 厚膜レジスト6を用いてメッキによりバンプ7を形成し、バンプの表面を研磨して平坦化した後に、前記レジストを除去する。

【効果】 前記平坦化によってバンプ高さの誤差が減少し、一括接続を行なう際に、ボンディングツールの加圧力が各バンプに均一に加わり、加熱が各バンプに均一に加わるので、ボンディング不良が生じにくくなる。

図5



(2)

1

## 【特許請求の範囲】

【請求項1】 バンプの形成方法であって、  
バンプ形成面にレジストを塗布する工程と、  
前記レジストにバンプ形成用の開口を行なう工程と、  
バンプを形成する工程と、  
前記バンプを研磨する工程と、  
前記レジストを除去する工程と、を備えたことを特徴とするバンプの形成方法。

【請求項2】 前記研磨をCMP法で行なうことを特徴とする請求項1に記載のバンプの形成方法。

【請求項3】 前記バンプの研磨が行なわれた後に前記レジストを除去することを特徴とする請求項1又は請求項2に記載のバンプの形成方法。

【請求項4】 前記バンプを電解メッキ法で形成することを特徴とする請求項1乃至請求項3の何れかに記載のバンプの形成方法。

【請求項5】 半導体チップに形成した回路の外部との接続端子として用いるバンプを有する半導体装置の製造方法であって、  
バンプ形成面にレジストを塗布する工程と、  
前記レジストにバンプ形成用の開口を行なう工程と、  
バンプを形成する工程と、  
前記バンプを研磨する工程と、  
前記レジストを除去する工程と、を備えたことを特徴とするバンプを有する半導体装置の製造方法。

【請求項6】 前記研磨をCMP法で行なうことを特徴とする請求項5に記載のバンプを有する半導体装置の製造方法。

【請求項7】 前記バンプの研磨が行なわれた後に前記レジストを除去することを特徴とする請求項5又は請求項6に記載のバンプを有する半導体装置の製造方法。

【請求項8】 前記バンプを電解メッキ法で形成することを特徴とする請求項5乃至請求項7の何れかに記載のバンプの形成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、バンプの形成方法及びバンプを有する半導体装置の製造方法に関し、特に、精度の高いバンプの形成に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】 半導体装置の製造では、半導体ウェハの主面上に回路を形成した後に、半導体ウェハを個々の半導体ペレットに分割し、各半導体ペレットとプリント基板等に実装する際に接続端子になるリードとを接続した後に、パッケージに収容して半導体装置ができる。

【0003】 このリードと半導体チップとの接続のために、金、ハンダ、銅等を用いた突起電極であるバンプを半導体チップに形成し、このバンプとリードとを位置合わせてボンディングツールを押し当て加圧・加熱する

2

ことによって、バンプとリードとを一括して接続（ギヤングボンディング）する方法がある。

【0004】 このようなバンプには半球形状のマッシュルームバンプと円筒形状のストレートウォールバンプとが有る。マッシュルームバンプは縦方向以外に横方向にもメッキが成長するので、バンプピッチの微細化が進むとバンプ間でのショートが起りやすくなる。これに対して、ストレートウォールバンプでは、縦方向にのみメッキが成長するのでプロセスマージンがあり、前記微細化に適応し得る。このストレートウォールバンプの製造プロセスを、以下説明する。

【0005】 先ず、ホトリソグラフィ技術を用いて電極パッド上に形成された保護膜を選択的に除去して開口を設け、レジストを除去してからバリアメタルをウェハ全面に形成する。次に、厚膜レジストを塗布し、ホトリソグラフィ技術によってバンプメッキ用の開口を設け、バリアメタルを電極として電解メッキにてバンプを形成する。この後、厚膜レジストを除去し、バンプをマスクとして露出しているバリアメタルをエッチング除去する。

【0006】 このようなバンプの形成方法については、工業調査会刊行の「TAB技術入門」の第73頁乃至第81頁に記載されている。

## 【0007】

【発明が解決しようとする課題】 このようなバンプの形成においてメッキ条件の僅かな違い等の原因によって、バンプの高さにある程度の誤差が生じてしまう。この誤差が例えば6μm程度あった場合には、バンプ間で最大12μm程度の高さの違いが生じてしまうこともある。このようなバンプ高さの違いによって、前記一括接続を行なう際に、前記ボンディングツールの加圧力が各バンプによって異なることとなり、加熱が各バンプに均一に加わらずに、一部のバンプの接続が不良となるボンディング不良が生じてしまう。このようなボンディング不良が生じると、半導体装置が作動不良或いは作動不能となり、装置の信頼性が低下する。

【0008】 このようなバンプ高さの誤差による影響は、バンプのピッチが小さくなるにつれ、より深刻な問題となる。

【0009】 本発明の目的は、バンプ高さの誤差を減少させ、ボンディング不良を防止することが可能な技術を提供することにある。

【0010】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

## 【0011】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0012】 厚膜レジストを用いてメッキによりバンプを形成し、バンプの表面を研磨して平坦化した後に、前

(3)

3

記レジストを除去する。

【0013】上述した手段によれば、前記平坦化によつてバンプ高さの誤差が減少し、一括接続を行なう際に、ボンディングツールの加圧力が各バンプに均一に加わり、加熱が各バンプに均一に加わるので、ボンディング不良が生じにくくなる。

【0014】それによつて、バンプ高さの誤差によるボンディング不良を防止することが可能となる。

【0015】以下、本発明の構成について、実施の形態とともに説明する。

【0016】なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0017】

【発明の実施の形態】図1乃至図7に示すのは、本発明の一実施の形態であるバンプの形成方法を工程ごとに示す要部縦断面図である。

【0018】図中、1は所定の回路を主面に形成した半導体基板、2は半導体基板に形成した回路と外部端子とを接続するために半導体基板1に設けられたアルミニウムの電極パッド、3は半導体ペレットを保護する保護絶縁膜であり、本実施の形態では水分の浸入を防止するプラズマCVD法によるSiN膜3aと $\alpha$ 線ソフトエラーを防止するポリイミド系の樹脂膜3bとを積層した構成となっている。

【0019】先ず、バンプ形成面にレジスト4を塗布し、ホトリソグラフィ技術によってパターニングしたレジスト4をマスクとしてエッチングを行ない、バンプを形成する電極パッド2上の保護絶縁膜3を選択的に除去し開口を設ける。この状態を図1に示す。

【0020】レジスト4を除去した後に、バリアメタル5を半導体基板1全面にスパッタ法によって形成する。この状態を図2に示す。バリアメタル5としては、電極パッド2と密着性の高いCr或いはTi等の薄膜と、バンプ形成材料と密着性の高いW、Pt、Ag、Cu、Ni等の薄膜とを積層した多層金属膜を形成する。

【0021】次に10~50 $\mu$ m厚の厚膜レジスト6を塗布し、ホトリソグラフィ技術によりバンプメッキ用の開口をパターニングする。この状態を図3に示す。

【0022】バリアメタル5を電極として電解メッキ法を用い、開口内のバリアメタル5にバンプ形成材料である金を付着させてバンプ7を形成する。この状態を図4に示す。

【0023】形成したバンプ7をCMP(Chemical Mechanical Polishing)法によって研磨し平坦化する。この状態を図5に示す。CMP法とは例えば薬液をついた研磨布にデバイスを形成したウェハを押し当てながら回転させ、薬液の化学的作用と研磨布の物理的作用との相乗効果によって表面を研磨する方法である。

【0024】研磨後にレジスト6を除去し、バリアメタ

4

ル5及びバンプ7を露出させる。この状態を図7に示す。形成したバンプ7をマスクとして露出しているバリアメタル5をエッチング除去し、バンプ7の形成工程が完了する。この状態を図7に示す。

【0025】本実施の形態では、CMP法によって研磨を行なうので、バンプ高さを高い精度で均一化することができる。また、バンプ形成時のレジストが付着した状態で研磨を行なうので、CMP法に用いる薬液によるダメージを防止することができ、研磨時のバンプの損傷が少なく、素子形成面への異物の付着も防止できる。

【0026】このようにしてバンプを形成した半導体チップを実装した状態を図8に例示する。

【0027】この例ではTAB(Tape Automated Bonding)テープに実装したTCP(TapeCarrier Package)型の半導体装置を示し、TABテープは、ポリイミド等の絶縁性樹脂フィルムからなる基材8に、接着剤を介して或いは直接に銅箔等の導体膜を形成し、この導体膜をエッチングによって加工リード9を形成する。このリード9の一端が半導体チップ10のバンプ7と位置合わせされ、加熱・加圧されてリード9とバンプ7とが接続される。ボンディングが終了すると、半導体チップ10は、耐湿性の向上を主たる目的として、半導体チップ10の主面及びリード9の接続部分にエポキシ等の液状の封止樹脂11を塗布しこれを加熱固化させたポッティング封止が行なわれる。

【0028】なお、本実施の形態ではCMP法を用いてバンプの研磨を行なったが他の研磨方法を用いても本発明は実施可能である。

【0029】以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0030】例えば、前記の実施の形態では、半導体チップにバンプを形成する場合について説明したが、例えば実装基板或いはTABテープ等他のバンプ形成に本発明を用いても有効である。

【0031】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0032】(1) 本発明によれば、バンプ高さの誤差を少なくすることができるという効果がある。

【0033】(2) 本発明によれば、前記効果(1)により、バンプとリードとの接続不良が減少するという効果がある。

【0034】(3) 本発明によれば、前記効果(2)により、半導体装置の信頼性が向上するという効果がある。

【図面の簡単な説明】

(4)

5

【図1】本発明の一実施の形態であるバンプの形成方法を示す要部縦断面図である。

【図2】本発明の一実施の形態であるバンプの形成方法を示す要部縦断面図である。

【図3】本発明の一実施の形態であるバンプの形成方法を示す要部縦断面図である。

【図4】本発明の一実施の形態であるバンプの形成方法を示す要部縦断面図である。

【図5】本発明の一実施の形態であるバンプの形成方法を示す要部縦断面図である。

【図6】本発明の一実施の形態であるバンプの形成方法

6

を示す要部縦断面図である。

【図7】本発明の一実施の形態であるバンプの形成方法を示す要部縦断面図である。

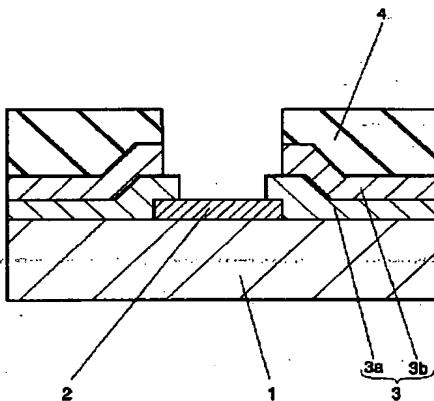
【図8】T A B テープに実装したT C P型の半導体装置を示す縦断面図である。

【符号の説明】

1…半導体基板、2…電極パッド、3…保護絶縁膜、3a…SiN膜、3b…ポリイミド系の樹脂膜、4…レジスト、5…バリアメタル、6…レジスト、7…バンプ、8…基材、9…リード、10…半導体チップ、11…封止樹脂11。

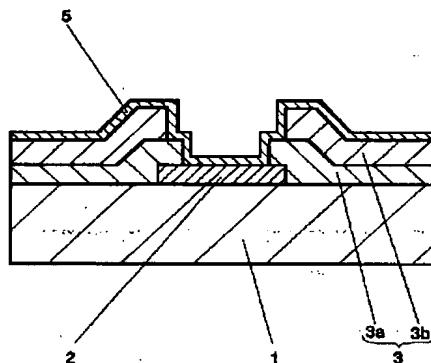
【図1】

図1



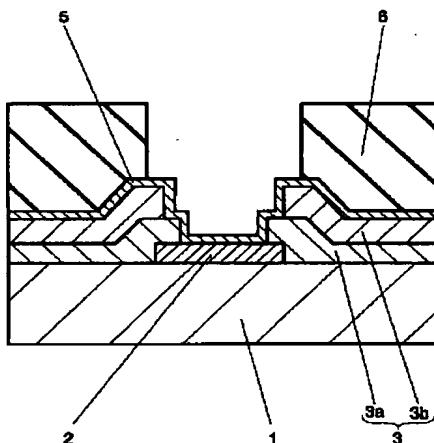
【図2】

図2



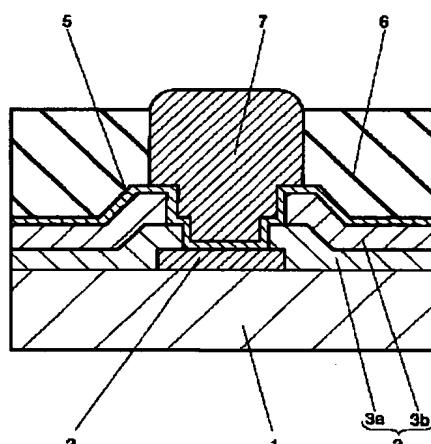
【図3】

図3



【図4】

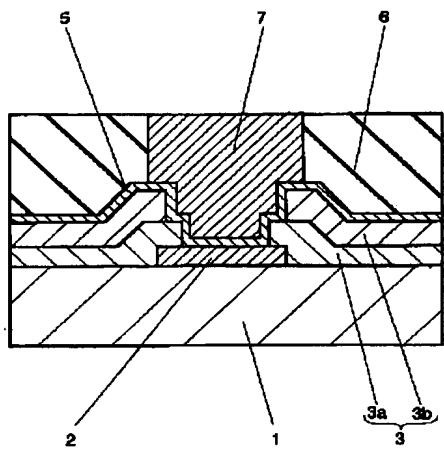
図4



(5)

【図5】

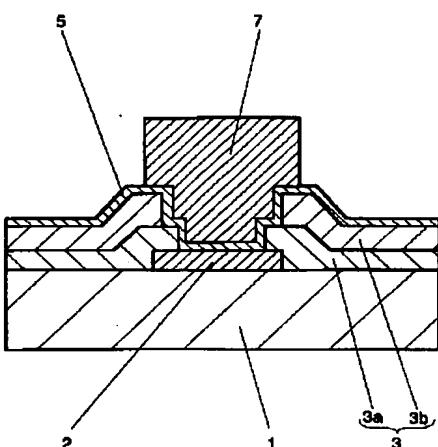
図5



【図7】

【図6】

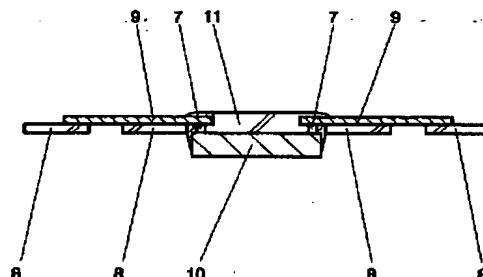
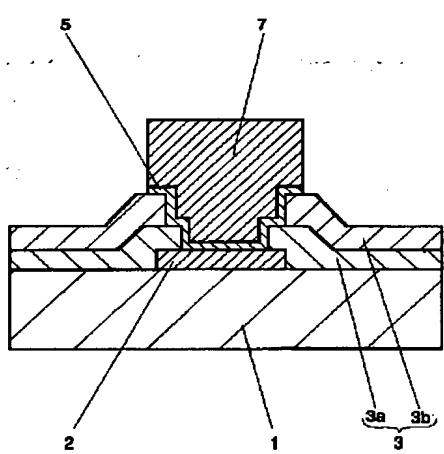
図6



【図8】

図7

図8



フロントページの続き

(72)発明者 伊東 恭二  
 千葉県茂原市早野3681番地 日立デバイス  
 エンジニアリング株式会社内